



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

①⑫ **Offenlegungsschrift**  
①⑩ **DE 199 30 167 A 1**

⑤① Int. Cl.<sup>7</sup>:  
**H 03 K 5/135**  
H 03 K 5/15  
H 03 L 7/06

②① Aktenzeichen: 199 30 167.0  
②② Anmeldetag: 30. 6. 1999  
④③ Offenlegungstag: 18. 1. 2001

⑦① Anmelder:  
Siemens AG, 80333 München, DE

⑦② Erfinder:  
Heyne, Patrick, 81541 München, DE; Hein, Thomas,  
81667 München, DE; Partsch, Torsten, 81539  
München, DE; Marx, Thilo, 80997 München, DE

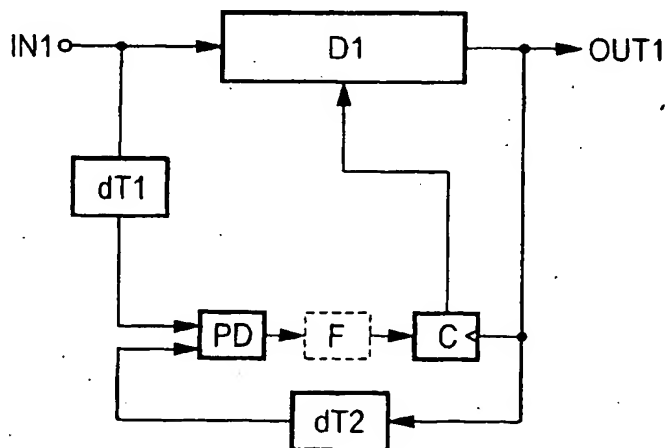
⑤⑥ Entgegenhaltungen:  
DE 197 03 986 A1  
DE 37 33 554 A1  
US 57 77 501

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Integrierte Schaltung mit einem Phasenregelkreis

⑤⑦ Ein Phasenregler (C) ist eingangsseitig mit dem Ausgang eines Phasenkomparators (PD) verbunden und erzeugt in Abhängigkeit der von diesem festgestellten Phasendifferenz ein Steuersignal. Eine Aktualisierung des einem Steuereingang einer ersten Verzögerungseinheit (D1) zugeführten Steuersignals wird durch eine Flanke des am Taktoutput (OUT1) der ersten Verzögerungseinheit (D1) auftretenden ersten Ausgangstakts ausgelöst.



DE 199 30 167 A 1

DE 199 30 167 A 1

Die Erfindung betrifft eine integrierte Schaltung mit einem Phasenregelkreis.

Delay Locked Loops (DLL) sind integrierte Schaltungen mit einem Phasenregelkreis, bei denen ein Ausgangstakt mit einer bestimmten Phasenverschiebung zu einem Eingangstakt erzeugt wird. DLLs weisen üblicherweise eine Verzögerungseinheit auf, die zwischen einem Takteingang und einem Taktausgang angeordnet ist und deren Verzögerungszeit einstellbar ist. Der Takteingang für den Eingangstakt und der Taktausgang für den Ausgangstakt sind mit einem Phasenkomparator bzw. Phasendetektor verbunden. Ein dem Phasendetektor nachgeschalteter Phasenregler erzeugt ein Steuersignal, über das die Verzögerungszeit der Verzögerungseinheit eingestellt wird. Die Erzeugung und Aktualisierung des Steuersignals durch den Phasenregler erfolgt dabei oftmals synchron mit einem Steuertakt.

Da Flanken des Ausgangstakts maßgeblich für die Ansteuerung von der DLL nachgeschalteten Schaltungseinheiten sind, ist es wünschenswert, daß diese Flanken möglichst ohne Störungen erzeugt werden. Es kann jedoch vorkommen, daß der vom Steuertakt getaktete Phasenregler eine Anpassung bzw. Aktualisierung des der Verzögerungseinheit zugeführten Steuersignals kurz vor oder sogar während des Auftretens einer Flanke des Ausgangstakts vornimmt. Dies führt zu einer unerwünschten störenden Beeinflussung der Flanken des Ausgangstakts. Die Störung ist darauf zurückzuführen, daß bei einer Änderung des Steuersignals eine Änderung der Verzögerungszeit der Verzögerungseinheit durchgeführt wird, für die bestimmte Schaltvorgänge innerhalb der Verzögerungseinheit durchgeführt werden müssen.

Der Erfindung liegt die Aufgabe zugrunde, eine integrierte Schaltung der eingangs beschriebenen Art anzugeben, bei der Störungen der Flanken des Ausgangstakts aufgrund der Aktualisierung des vom Phasenregler erzeugten Steuersignals vermieden werden.

Diese Aufgabe wird mit einer integrierten Schaltung gemäß Patentanspruch 1 gelöst. Vorteilhafte Aus- und Weiterbildungen der Erfindung sind Gegenstand der abhängigen Ansprüche.

Erfindungsgemäß wird die Aktualisierung des dem Steuereingang der Verzögerungseinheit zugeführten Steuersignals durch eine Flanke des am Taktausgang auftretenden Ausgangstakts ausgelöst.

Dadurch, daß die Aktualisierung des Steuersignals erst durch die Flanke des Ausgangstakts ausgelöst wird, können die durch die Aktualisierung verursachten Einstellungsvorgänge innerhalb der Verzögerungseinheit die Flanke nicht mehr störend beeinflussen.

Bisher war es üblich, den Phasenregler mit einem Steuertakt anzusteuern, der unabhängig vom Ausgangstakt des Phasenregelkreises ist. Damit erfolgte die Aktualisierung des der Verzögerungseinheit zugeführten Steuersignals unabhängig vom Ausgangstakt, so daß es zu einer störenden Beeinflussung der Flanken des Ausgangstakts kommen konnte.

Nach einer ersten Ausführungsform der Erfindung wird die Abhängigkeit der Aktualisierung des Steuersignals vom Ausgangstakt erreicht, indem der Phasenregler vom Ausgangstakt und nicht von einem davon unabhängigen Steuertakt getaktet wird. Hierzu ist ein Takteingang des Phasenreglers mit dem Taktausgang der Verzögerungseinheit verbunden. Der Phasenregler erzeugt dann die aktualisierten Werte des Steuersignals in Abhängigkeit der Flanken des Ausgangstakts.

Nach einer anderen Ausführungsform der Erfindung

weist die integrierte Schaltung eine zwischen dem Ausgang des Phasenreglers und dem Steuereingang der ersten Verzögerungseinheit angeordnete erste Transfereinheit auf, deren Takteingang mit dem Taktausgang der ersten Verzögerungseinheit verbunden ist. Die erste Transfereinheit leitet das ihr vom Phasenregler zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Takteingang zugeführten ersten Ausgangstakts an die erste Verzögerungseinheit weiter.

Bei dieser Ausführungsform ist es möglich, daß der Phasenregler von einem Steuertakt getaktet wird, der weiterhin unabhängig vom Ausgangstakt der ersten Verzögerungseinheit ist. Durch die erste Transfereinheit, die beispielsweise eine getaktete Halteschaltung (Latch) sein kann, ist trotzdem gewährleistet, daß der jeweils aktualisierte Wert des Steuersignals erst nach dem Auftreten einer Flanke des Ausgangstakts an den Steuereingang der ersten Verzögerungseinheit weitergeleitet wird. Auch auf diese Weise werden also unerwünschte Störungen von Flanken des Ausgangstakts aufgrund von Veränderungen des vom Phasenregler erzeugten Steuersignals vermieden.

Nach einer Weiterbildung der Erfindung weist die integrierte Schaltung eine zweite Verzögerungseinheit mit einem Takteingang zur Zuführung eines zweiten Eingangstakts, mit einem Taktausgang zur Ausgabe eines gegenüber dem zweiten Eingangstakt verzögerten zweiten Ausgangstakts und mit wenigstens einem Steuereingang zum Einstellen ihrer Verzögerungszeit auf. Die Schaltung weist weiterhin eine zweite Transfereinheit auf, über die der Ausgang des Phasenreglers mit dem Steuereingang der zweiten Verzögerungseinheit verbunden ist, die einen Takteingang aufweist, der mit dem Taktausgang der zweiten Verzögerungseinheit verbunden ist, und die das ihr vom Phasenregler zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Steuereingang zugeführten zweiten Ausgangstakts an die zweite Verzögerungseinheit weiterleitet.

Bei dieser Weiterbildung der Erfindung dient der Phasenregler also sowohl der Regelung der Phasenverschiebung des ersten Ausgangstakts gegenüber dem ersten Eingangstakt als auch der Steuerung der Phasenverschiebung des zweiten Ausgangstakts gegenüber dem zweiten Eingangstakt. Diese Weiterbildung eignet sich insbesondere für solche ersten und zweiten Eingangstakte, die die gleiche Frequenz aufweisen und zueinander eine bestimmte Phasenverschiebung aufweisen. Durch die zweite Transfereinheit ist gewährleistet, daß durch die Aktualisierung des Steuersignals, das sowohl der ersten als auch der zweiten Verzögerungseinheit zugeführt wird, auch die Flanken des zweiten Ausgangstakts nicht störend beeinflusst werden.

Nach einer weiteren Weiterbildung der Erfindung weist die erste Verzögerungseinheit eine Reihenschaltung einer ersten Verzögerungsstufe und einer zweiten Verzögerungsstufe auf. Der Phasenregler dient zur Erzeugung eines Steuersignals für die erste Verzögerungsstufe und eines Steuersignals für die zweite Verzögerungsstufe. Der Phasenregler ist über eine zweite Transfereinheit mit der ersten Verzögerungsstufe und über eine Reihenschaltung einer dritten Transfereinheit und der ersten Transfereinheit mit der zweiten Verzögerungsstufe verbunden. Takteingänge der zweiten und der dritten Transfereinheit sind mit einem Taktausgang der ersten Verzögerungsstufe verbunden.

Die zweite und die dritte Transfereinheit sorgen dafür, daß den beiden Verzögerungsstufen während einer Periode des Ausgangstakts die zum gleichen Zeitpunkt vom Phasenregler erzeugten Steuersignale zugeführt werden. Die zweite Transfereinheit verhindert eine Störung der Flanken des Ausgangstakts der ersten Verzögerungsstufe und die erste Transfereinheit verhindert eine Störung der Flanken des Ausgangstakts der zweiten Verzögerungsstufe durch die Ak-

tualisierung des jeweiligen Steuersignals.

Die erste Verzögerungsstufe kann beispielsweise zum Grobeinstellen einer Verzögerungszeit und die zweite Verzögerungsstufe zum Feineinstellen einer Verzögerungszeit der ersten Verzögerungseinheit dienen.

Die Erfindung wird im folgenden anhand der Figuren näher erläutert, die unterschiedliche Ausführungsbeispiele der Erfindung zeigen.

Fig. 1 zeigt ein erstes Ausführungsbeispiel der Erfindung, die eine erste Verzögerungseinheit D1 mit einem Takteingang IN1 zur Zuführung eines ersten Eingangstakts und mit einem Taktausgang OUT1 zur Ausgabe eines gegenüber dem ersten Eingangstakt verzögerten ersten Ausgangstakts aufweist. Der Takteingang IN1 ist über ein erstes Verzögerungsglied dT1 mit konstanter oder einstellbarer Verzögerungszeit mit einem ersten Eingang eines Phasendetektors PD verbunden. Der Taktausgang OUT1 ist über ein zweites Verzögerungsglied dT2 mit ebenfalls wahlweise fester oder einstellbarer Verzögerungszeit mit einem zweiten Eingang des Phasendetektors PD verbunden. Bei anderen Ausführungsbeispielen der Erfindung kann auch eines der beiden Verzögerungsglieder dT1, dT2 entfallen. Bei den weiter unten noch zu erläuternden Ausführungsbeispielen gemäß Fig. 2 und Fig. 3 ist nur ein derartiges Verzögerungsglied dT zwischen dem Taktausgang und dem zweiten Eingang des Phasendetektors PD angeordnet, wobei auch bei diesen Ausführungsbeispielen ein weiteres Verzögerungsglied zwischen dem Takteingang und dem ersten Eingang des Phasendetektors alternativ oder zusätzlich zu diesem Verzögerungsglied dT vorgesehen sein kann.

Der Phasendetektor PD in Fig. 1 prüft die Phasendifferenz zwischen den an seinen beiden Eingängen auftretenden Taktsignalen und übermittelt ein entsprechendes Ergebnissignal, ggf. über eine Filtereinheit F, an einen Phasenregler C. Der Phasenregler C erzeugt ein der vom Phasendetektor PD festgestellter Phasendifferenz entsprechendes Steuersignal, das er einem Steuereingang der ersten Verzögerungseinheit D1 zuführt. Über ihren Steuereingang ist die Verzögerungszeit der ersten Verzögerungseinheit D1 einstellbar.

Der Phasenregler C in Fig. 1 weist einen flankensensitiven Takteingang auf, der mit dem Taktausgang OUT1 der ersten Verzögerungseinheit D1 verbunden ist. Der Phasenregler C führt Neuberechnungen des von ihm erzeugten Steuersignals, die im folgenden auch als "Aktualisierungen" des Steuersignals bezeichnet werden, nur bei jeder an seinem Takteingang auftretenden positiven Flanke des ersten Ausgangstakts durch. Dabei wird angenommen, daß die positive Flanke des ersten Ausgangstakts dessen "aktive" Flanke ist, die für die Ansteuerung von (in der Fig. 1 nicht dargestellten), dem ersten Taktausgang OUT1 nachgeschalteten Schaltungseinheiten maßgeblich ist.

Während der Phasendetektor PD die Werte der von ihm festgestellten Phasendifferenz kontinuierlich aktualisiert und dem Phasenregler C übergibt, aktualisiert dieser das von ihm erzeugte Steuersignal nur bei Auftreten einer positiven Flanke an seinem Takteingang. Somit erfolgt eine Änderung des Steuersignals und damit eine Änderung der Verzögerungszeit der ersten Verzögerungseinheit D1 immer unmittelbar nach dem Auftreten der positiven, aktiven Flanke des ersten Ausgangstakts. Auf diese Weise wird also verhindert, daß die Aktualisierung des Steuersignals durch den Phasenregler C die aktive Flanke des ersten Ausgangstakts in unerwünschter Weise beeinflußt. Da nur die aktive Flanke des ersten Ausgangstakts maßgeblich für die Ansteuerung der nachgeschalteten Schaltungseinheiten ist, ist eine auftretende Störung des ersten Ausgangstakts kurz nach dem Auftreten der positiven Flanke unschädlich.

Fig. 2 zeigt ein anderes Ausführungsbeispiel der Erfindung,

bei dem in Abweichung von Fig. 1 der Phasenregler C nicht durch den ersten Ausgangstakt am Taktausgang OUT1 der ersten Verzögerungseinheit D1, sondern durch einen davon abweichenden Steuertakt CLK getaktet wird. Bei diesem Ausführungsbeispiel erzeugt der Phasenregler C ein digitales Steuersignal mit einer Breite von mehreren Bit. Dieses wird entsprechenden Steuereingängen der ersten Verzögerungseinheit D1 über eine erste Transfereinheit L1, die eine taktgesteuerte Halteschaltung (Latch) ist, zugeführt. Die erste Transfereinheit L1 weist einen flankensensitiven Takteingang auf, der mit dem Taktausgang OUT1 der ersten Verzögerungseinheit D1 verbunden ist.

Bei diesem Ausführungsbeispiel erzeugt der Phasenregler C also das Steuersignal unabhängig vom ersten Ausgangstakt der ersten Verzögerungseinheit D1. Allerdings speichert die erste Transfereinheit L1 das jeweils vom Phasenregler C erzeugte, aktuelle Steuersignal erst beim Auftreten einer positiven Flanke des ersten Ausgangstakts und leitet dann erst dieses aktualisierte Steuersignal an die erste Verzögerungseinheit D1 weiter. Somit ist auch bei diesem Ausführungsbeispiel gewährleistet, daß Änderungen des Steuersignals an den Steuereingängen der ersten Verzögerungseinheit D1 erst nach dem Auftreten der positiven bzw. aktiven Flanke des ersten Ausgangstakts erfolgen.

Fig. 2 sind noch weitere Komponenten zu entnehmen, die bei anderen Ausführungsbeispielen der Erfindung auch entfallen können. Es handelt sich dabei um eine zweite Verzögerungseinheit D2 mit einem Takteingang IN2 zum Zuführen eines zweiten Eingangstakts und mit einem Taktausgang OUT2 zur Ausgabe eines gegenüber dem zweiten Eingangstakt verzögerten bzw. phasenverschobenen zweiten Ausgangstakts. Die beiden den Takteingängen IN1, IN2 zugeführten Eingangstakte weisen zueinander eine feste Phasenbeziehung auf. Einer der beiden Eingangstakte kann beispielsweise aus dem anderen durch Invertierung erzeugt sein. Die Ausgänge des Phasenreglers C, an denen dieser das Steuersignal ausgibt, sind über eine zweite Transfereinheit L2 mit entsprechenden Steuereingängen der zweiten Verzögerungseinheit D2 verbunden, über die die Verzögerungszeit der zweiten Verzögerungseinheit D2 einstellbar ist. Ein flankensensitiver Takteingang der zweiten Transfereinheit L2 ist mit dem Taktausgang der zweiten Verzögerungseinheit D2 verbunden.

Bei der in Fig. 2 gezeigten Schaltung wird dasselbe vom Phasenregler C erzeugte Steuersignal sowohl der ersten Transfereinheit L1 als auch der zweiten Transfereinheit L2 zugeführt. Die Weiterleitung des aktualisierten Steuersignals erfolgt mittels der ersten Transfereinheit L1 jedoch abhängig vom ersten Ausgangstakt der ersten Verzögerungseinheit D1 und mittels der zweiten Transfereinheit L2 in Abhängigkeit des zweiten Ausgangstakts der zweiten Verzögerungseinheit D2. Somit ist für beide Verzögerungseinheiten D1, D2 gewährleistet, daß die positive Flanke ihrer Ausgangstakte nicht durch Änderungen des Steuersignals an ihren Steuereingängen in störender Weise beeinflußt wird. Während die erste Verzögerungseinheit D1 Bestandteil des den Phasenregler C aufweisenden Phasenregelkreises ist, erfolgt über das vom Phasenregler C über die zweite Transfereinheit L2 an die zweite Verzögerungseinheit D2 übermittelte Steuersignal lediglich eine Steuerung, also keine Regelung, der Phasenverschiebung des zweiten Ausgangstakts gegenüber dem zweiten Eingangstakt.

Fig. 3 zeigt ein weiteres Ausführungsbeispiel der Erfindung, bei dem die erste Verzögerungseinheit D1 eine Reihenschaltung einer ersten Verzögerungsstufe D3 und einer zweiten Verzögerungsstufe D4 aufweist. Der Phasenregler C erzeugt wiederum ein digitales Steuersignal, das bei diesem Beispiel acht Bits A0 bis A7 aufweist. Die fünf höchst-

wertigen Bits A3 bis A7 des Steuersignals werden entsprechenden Steuereingängen der ersten Verzögerungsstufe D3 über eine zweite Transfereinheit L2 zugeführt. Die drei niedrigwertigsten Bits A0 bis A2 des Steuersignals werden entsprechenden Steuereingängen der zweiten Verzögerungsstufe D4 über eine Reihenschaltung einer dritten Transfereinheit L3 und der ersten Transfereinheit L1 zugeführt. Über ihre Steuereingänge sind die Verzögerungszeiten der beiden Verzögerungsstufen D3, D4 einstellbar. Dabei handelt es sich bei der ersten Verzögerungsstufe D3 um eine Grobverzögerungsstufe und bei der zweiten Verzögerungsstufe D4 um eine Feinverzögerungsstufe der ersten Verzögerungseinheit D1. Das bedeutet, daß die Verzögerungszeit der ersten Verzögerungsstufe D3 in minimalen Schritten veränderlich ist, die größer sind als diejenigen der zweiten Verzögerungsstufe D4.

Die drei Transfereinheiten L1, L2, L3 weisen jeweils einen flankensensitiven Takteingang auf. Die Takteingänge der zweiten Transfereinheit L2 und der dritten Transfereinheit L3 sind mit einem Taktausgang A der ersten Verzögerungsstufe D3 verbunden, der auch mit einem Takteingang der zweiten Verzögerungsstufe D4 verbunden ist. Der Takteingang der ersten Transfereinheit L1 ist wiederum mit dem Taktausgang OUT1 der ersten Verzögerungseinheit D1, der ein Taktausgang der zweiten Verzögerungsstufe D4 ist, verbunden.

Bei dem in Fig. 3 dargestellten Ausführungsbeispiel erfolgt das Weiterleiten des vom Phasenregler erzeugten Steuersignals gleichzeitig über die zweite Transfereinheit L2 bzw. die dritte Transfereinheit L3 an die Steuereingänge der ersten Verzögerungsstufe D3 und an die Eingänge der ersten Transfereinheit L1. Somit ist gewährleistet, daß positive Flanken am Taktausgang A der ersten Verzögerungsstufe D3 nicht durch eine Aktualisierung des Steuersignals an den Steuereingängen der ersten Verzögerungsstufe D3 in störender Weise beeinflußt werden. Die erste Transfereinheit L1 sorgt wiederum dafür, daß das von ihr an die Steuereingänge der zweiten Verzögerungsstufe D4 übermittelte Steuersignal erst nach dem Auftreten einer positiven Flanke des ersten Ausgangstakts geändert wird.

Die Transfereinheiten L1, L2, L3 sind wiederum Halteschaltungen, die den vorhergehenden Wert des Steuersignals so lange speichern und an die Steuereingänge der entsprechenden Verzögerungsstufen D3, D4 weiterleiten, bis sie beim Auftreten der nächsten positiven Flanke an ihrem Takteingang den zu diesem Zeitpunkt an ihren Eingängen anliegenden Wert des Steuersignals übernehmen und anstelle des zuvor gespeicherten Wertes speichern und an die Verzögerungsstufen D3, D4 weiterleiten.

Bei allen erläuterten Ausführungsbeispielen erfolgt die Änderung der Verzögerungszeit der Verzögerungseinheiten D1, D2 bzw. Verzögerungsstufen D3, D4 zu einem Zeitpunkt, der unkritisch ist und den entsprechenden Ausgangstakt nicht wesentlich stört. Insbesondere wird dessen aktive Flanke (bei diesen Ausführungsbeispielen die positive Flanke) nicht gestört. Dadurch, daß die Aktualisierung der Steuersignale an den Steuereingängen der Verzögerungseinheiten bzw. Verzögerungsstufen unmittelbar durch die aktive Flanke der Ausgangstakte ausgelöst wird, steht die maximal mögliche Zeitspanne der Periode der Ausgangstakte zur Verfügung, um die sich aufgrund der Aktualisierung ergebende Änderung der Verzögerungszeiten vorzunehmen, bevor die nächste aktive Flanke am entsprechenden Taktausgang auftritt. Somit befinden sich die Verzögerungseinheiten D1, D2 und Verzögerungsstufen D3, D4 bereits im eingeschwungenen Zustand, wenn die nächste positive Taktflanke auftritt.

Beim Ausführungsbeispiel gemäß Fig. 3 gewährleistet

die dritte Transfereinheit L3, daß die Verzögerungszeit der zweiten Verzögerungsstufe D4 immer nach derjenigen der ersten Verzögerungsstufe D3, aber in derselben Taktperiode geändert wird.

Die Transfereinheiten L1, L2, L3 der unterschiedlichen Ausführungsbeispiele sind günstigerweise unmittelbar in der Nähe der Steuereingänge der zugehörigen Verzögerungseinheiten D1, D2 bzw. Verzögerungsstufen D3, D4 angeordnet, so daß zwischen ihren Ausgängen und den Steuereingängen nur noch vernachlässigbare Signallaufzeiten auftreten.

Das in Fig. 3 gezeigte Ausführungsbeispiel eignet sich insbesondere, wenn die beiden Verzögerungsstufen D3, D4, zum Einstellen einer neuen Verzögerungszeit Zeitspannen benötigen, deren Summe größer oder gleich der Periodendauer des ersten Eingangstakts ist.

Die Transfereinheiten L1, L2, L3 können bei anderen Ausführungsbeispielen auch durch negative Flanken an ihren Takteingängen getaktet werden, wenn dies die aktiven Flanken der entsprechenden Taktsignale sind.

#### Patentansprüche

##### 1. Integrierte Schaltung

- mit einer ersten Verzögerungseinheit (D1) mit einem Takteingang (IN1) zur Zuführung eines ersten Eingangstakts, mit einem Taktausgang (OUT1) zur Ausgabe eines gegenüber dem ersten Eingangstakt verzögerten ersten Ausgangstakts und mit wenigstens einem Steuereingang zum Einstellen ihrer Verzögerungszeit,
- mit einem Phasendetektor (PD) mit einem ersten Eingang, der mit dem Takteingang (IN1) der ersten Verzögerungseinheit (D1) verbunden ist, und mit einem zweiten Eingang, der mit dem Taktausgang (OUT1) der ersten Verzögerungseinheit verbunden ist,
- und mit einem Phasenregler (C) mit wenigstens einem Eingang, der mit einem Ausgang des Phasenkomparators (PD) verbunden ist, und mit wenigstens einem Ausgang, der mit dem Steuereingang der ersten Verzögerungseinheit (D1) verbunden ist und der zur Ausgabe eines Steuersignals dient, das abhängig von einer vom Phasenkomparator festgestellten Phasendifferenz ist,
- bei der eine Aktualisierung des dem Steuereingang der ersten Verzögerungseinheit (D1) zugeführten Steuersignals durch eine Flanke des am Taktausgang (OUT1) auftretenden ersten Ausgangstakts ausgelöst wird.

2. Integrierte Schaltung nach Anspruch 1, deren Phasenregler (C) einen Takteingang aufweist, der mit dem Taktausgang (OUT1) der ersten Verzögerungseinheit (D1) verbunden ist, und die Berechnung eines aktuellen Werts des Steuersignals in Abhängigkeit von an seinem Takteingang auftretenden Flanken durchführt.

##### 3. Integrierte Schaltung nach Anspruch 1,

- mit einer ersten Transfereinheit (L1),
- über die der Ausgang des Phasenreglers (C) mit dem Steuereingang der ersten Verzögerungseinheit (D1) verbunden ist,
- die einen Takteingang aufweist, der mit dem Taktausgang (OUT1) der ersten Verzögerungseinheit (D1) verbunden ist,
- und die das ihr vom Phasenregler (C) zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Takteingang zugeführten ersten Ausgangstakts (OUT1) an die erste Verzögerungsein-

- heit (D1) weiterleitet.
4. Integrierte Schaltung nach Anspruch 3,
- mit einer zweiten Verzögerungseinheit (D2) mit einem Takteingang (IN2) zur Zuführung eines zweiten Eingangstakts, mit einem Taktausgang (OUT2) zur Ausgabe eines gegenüber dem zweiten Eingangstakt verzögerten zweiten Ausgangstakts und mit wenigstens einem Steuereingang zum Einstellen ihrer Verzögerungszeit,
  - und mit einer zweiten Transfereinheit (L2),
  - über die der Ausgang des Phasenreglers (C) mit dem Steuereingang der zweiten Verzögerungseinheit (D2) verbunden ist,
  - die einen Takteingang aufweist, der mit dem Taktausgang (OUT2) der zweiten Verzögerungseinheit verbunden ist,
  - und die das ihr vom Phasenregler (C) zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Steuereingang zugeführten zweiten Ausgangstakts an die zweite Verzögerungseinheit (D2) weiterleitet.
5. Integrierte Schaltung nach Anspruch 3,
- deren erste Verzögerungseinheit (D1) zwischen ihrem Takteingang (IN1) und ihrem Taktausgang (OUT1) eine Reihenschaltung einer ersten Verzögerungsstufe (D3) und einer zweiten Verzögerungsstufe (D4) aufweist, die jeweils wenigstens einen Steuereingang zum Einstellen ihrer Verzögerungszeit aufweisen,
  - deren Phasenregler (C) wenigstens einen ersten Ausgang zur Ausgabe eines Steuersignals für die erste Verzögerungsstufe (D3) und wenigstens einen zweiten Ausgang zur Ausgabe eines Steuersignals für die zweite Verzögerungsstufe (D4) aufweist,
  - deren erste Transfereinheit (L1) einen Eingang aufweist und einen Ausgang, der mit dem Steuereingang der zweiten Verzögerungsstufe (D4) verbunden ist,
  - mit einer zweiten Transfereinheit (L2),
  - über die der erste Ausgang des Phasenreglers (C) mit dem Steuereingang der ersten Verzögerungsstufe (D3) verbunden ist,
  - die einen Takteingang aufweist, der mit einem Ausgang (A) der ersten Verzögerungsstufe (D3) verbunden ist,
  - und die das ihr vom Phasenregler (C) zugeführte Steuersignal in Abhängigkeit einer Flanke eines ihrem Steuereingang zugeführten Ausgangstakts der ersten Verzögerungsstufe (D3) an die erste Verzögerungsstufe weiterleitet,
  - mit einer dritten Transfereinheit (L3),
  - über die der zweite Ausgang des Phasenreglers (C) mit dem Eingang der ersten Transfereinheit (L1) verbunden ist,
  - die einen Takteingang aufweist, der mit dem Ausgang (A) der ersten Verzögerungsstufe (D3) verbunden ist,
  - und die das ihr vom Phasenregler (C) zugeführte Steuersignal in Abhängigkeit der Flanke des ihrem Takteingang zugeführten Ausgangstakts der ersten Verzögerungsstufe (D3) an die erste Transfereinheit (L1) weiterleitet.
6. Integrierte Schaltung nach Anspruch 5, deren erste Verzögerungsstufe (D3) zum Grobeinstellen einer Verzögerungszeit und deren zweite Verzögerungsstufe (D4) zum Feineinstellen einer Verzögerungszeit der ersten Verzögerungseinheit (D1) dient.

7. Integrierte Schaltung nach einem der vorstehenden Ansprüche, deren wenigstens eine Transfereinheit (L1, L2, L3) die ihr zugeführten Steuersignale zwischen an ihrem Takteingang aufeinanderfolgenden Signalfanken speichert.

---

Hierzu 2 Seite(n) Zeichnungen

---

- Leerseite -

FIG 1

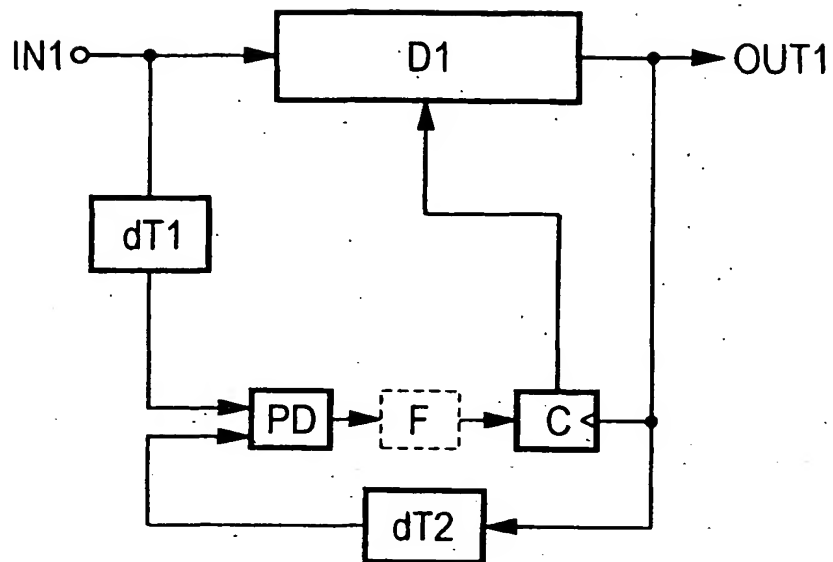
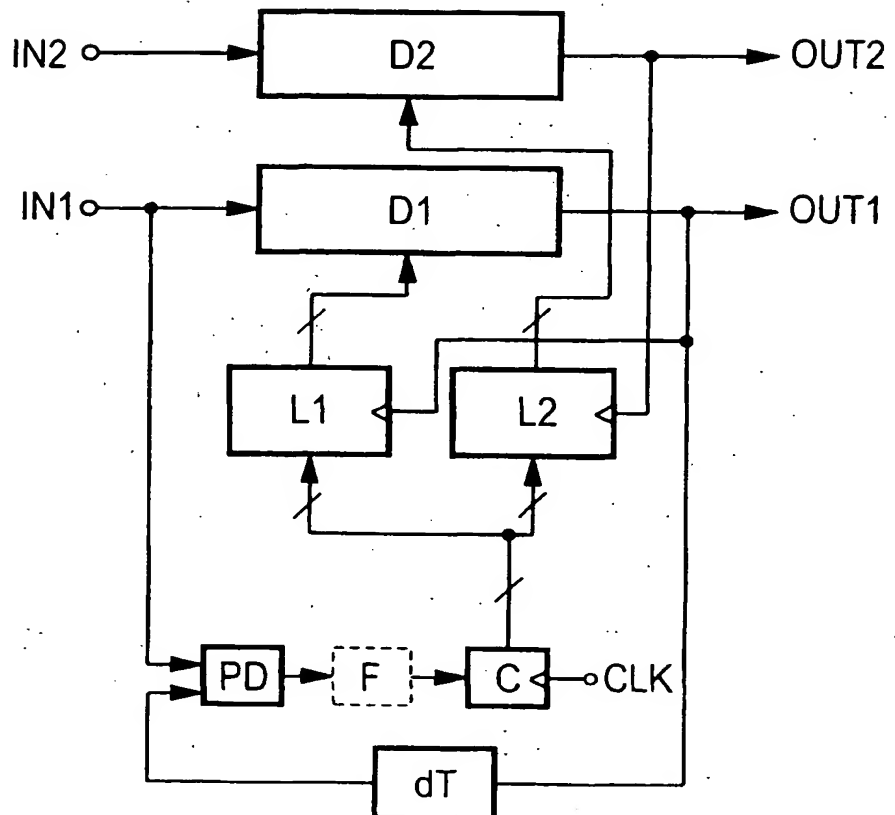


FIG 2



**FIG 3**

